

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平10-256470

(43)公開日 平成10年(1998)9月25日

(51)Int.Cl.<sup>6</sup>

識別記号

FI

H01L 25/065

H01L 25/08

B

25/07

25/18

審査請求 未請求 請求項の数4 OL (全6頁)

(21)出願番号 特願平9-55176

(22)出願日 平成9年(1997)3月10日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 坪野谷 誠

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 複数の半導体チップを積層固着する絶縁性の接着剤に粒径が一定なフィラーを混入することによりチップ間の接触事故を防止する。

【解決手段】 アイランド12上に第1の半導体チップ10を固着し、第1の半導体チップの上に第2の半導体チップ11を固着する。各半導体チップ10、11のボンディングパッド12とリード端子17とをワイヤボンダし、各半導体チップ10、11を含む主要部を樹脂17でモールドする。第2の半導体チップ11を固着する第2の接着剤15に粒径が20～40μmの絶縁性のフィラー20を混入する。

**【特許請求の範囲】**

**【請求項1】** アイランドの上に第1の半導体チップを固着し、

前記第1の半導体チップの上に第2の半導体チップを固着し、

前記第1と第2の半導体チップのボンディングパッドと外部接続リードとを接続する手段と、

前記第1と第2の半導体チップの周囲を封止する樹脂とを具備する半導体装置において、

前記第1の半導体チップの表面に前記第2の半導体チップを固着する接着剤に粒径が均一な絶縁性のフィラーを混入したことを特徴とする半導体装置。

**【請求項2】** 第1主面と第2主面とを具備するアイランドと、

前記第1主面に固着された第1の半導体チップと、

前記第2主面に固着された第2の半導体チップと前記第1と第2の半導体チップのボンディングパッド接続端子と外部接続リードとを接続する手段と、

前記第1と第2の半導体チップの周囲を封止する樹脂とを具備する半導体装置において、

前記第1主面に前記第1の半導体チップを固着する接着剤と、前記第2主面に前記第2の半導体チップを固着する接着剤との少なくともどちらか一方に、粒径が均一な絶縁性のフィラーを混入したことを特徴とする半導体装置。

**【請求項3】** 前記第1の半導体チップがP型基板を具備し前記第2の半導体チップがN型基板を具備することを特徴とする請求項2記載の半導体装置。

**【請求項4】** 前記P型基板と前記N型基板に各々異なる基板電位が与えられていることを特徴とする請求項3記載の半導体装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、複数の半導体チップを重ね合わせることで実装密度を向上した半導体装置に関する。

**【0002】**

**【従来の技術】** 半導体装置の封止技術として最も普及しているのが、半導体チップの周囲を熱硬化性のエポキシ樹脂で封止するトランスファーモールド技術である。半導体チップの支持素材としてリードフレームを用いており、リードフレームのアイランドに半導体チップをダイボンダし、半導体チップのボンディングパッドとリードをワイヤでワイヤボンダし、所望の外形形状を具備する金型内にリードフレームをセットし、金型内にエポキシ樹脂を注入、これを硬化させることにより製造される。

**【0003】** 一方、各種電子機器に対する小型、軽量化の波はとどまるところを知らず、これらに組み込まれる半導体装置にも、一層の大容量、高機能、高集積化が望まれることになる。そこで、以前から発想としては存在

していた（例えば、特開昭55-1111517号）、1つのパッケージ内に複数の半導体チップを封止する技術が注目され、実現化する動きが出てきた。つまり図6（A）に示すように、アイランド3上に第1の半導体チップ1aを固着し、第1の半導体チップ1aの上に第2の半導体チップ1bを固着し、対応するボンディングパッドとリード4とをボンディングワイヤ5a、5bで接続し、樹脂2で封止したものである。

**【0004】** また、図6（B）に示すように、アイランド3の表面側に第1の半導体チップ1aを、アイランドの裏面側に第2の半導体チップ1bを固着し、全体を封止するような考え方もあった。

**【0005】**

**【発明が解決しようとする課題】** しかしながら、図6（A）の様にチップを積層する場合、ダイボンダ時の不具合により、図7（A）に示すように第2の半導体チップ1bが傾斜して固着されるような場合がある。このように傾斜すると、接着剤6が無くなって図面符号7の箇所で第2の半導体チップ1bの基板下部と第1の半導体チップ1aの表面とが接触し、第2の半導体チップ1bの基板に印加した電位と第1の半導体チップ1a表面に形成した回路素子、電極配線等とが短絡する危険がある欠点があった。

**【0006】** また、図6（B）の様にチップを表裏面に接着する場合、第1と第2の半導体チップ1a、1bとして同種のチップ（例えばDRAMとDRAM等の組み合わせ）を用いた場合は基板電位も同じになるのでアイランド3を介して両者の基板を電氣的に短絡しても良いが、異種のチップ、たとえば一方がP型基板を使用し他方がN型基板を用いたチップを組み合わせる場合は、基板電位が異なるので、どちらか一方のチップを絶縁性の接着剤6で固着しなければならない。ところが上述したようにダイボンダ時の不具合によりチップが図7（B）のように傾斜すると、図示符号8の箇所で半導体チップ1aの基板電位とアイランド3の電位とが短絡する危険があった。これらの短絡は、即組み立て歩留まりの悪化につながる。

**【0007】**

**【課題を解決するための手段】** 本発明は上述した従来の課題に鑑み成されたもので、第1の半導体チップと第2の半導体チップとを、粒径が10～50μmのフィラーを混入せしめた絶縁性の接着剤によって固着し、両者の間隔を前記フィラーによって一定厚み以下には減少しないようにしたことを特徴とする。

**【0008】** また、チップを表裏面に固着する形態では、どちらか一方の半導体チップを同じく粒径が10～50μmのフィラーを混入せしめた絶縁性の接着剤によって固着し、電氣的な絶縁を保つべきアイランドとの間隔を前記フィラーによって一定厚み以下には減少しないようにしたことを特徴とする。

## 【0009】

【発明の実施の形態】以下に本発明の一実施の形態を図面を参照しながら詳細に説明する。先ず、図2(A)

(B)は本発明の半導体装置の第1の実施の形態を示す断面図、図3は本発明の半導体装置の第1の実施の形態を示す平面図である。尚、図2(A)は図3のAA線断面図、同じく図2(B)は図3のBB線断面図である。

【0010】図中、10、11は各々第1と第2の半導体チップを示している。第1と第2の半導体チップ10、11のシリコン表面には、前工程において各種の能動、受動回路素子が形成されている。第1と第2の半導体チップ10、11のチップの周辺部分には各々外部接続用のボンディングパッド12が形成されている。半導体チップ10、11の表面にはシリコン窒化膜、シリコン酸化膜、ポリイミド系絶縁膜などのパッシベーション皮膜が形成され、ボンディングパッド12の上部を電気接続のために開口している。

【0011】第1の半導体チップ10はリードフレームのアイランド13上にAgペーストなどのエポキシ系導電接着剤14によりダイボンドされ、更に第2の半導体チップ11は第1の半導体チップ10の前記パッシベーション皮膜上に絶縁性のエポキシ系接着剤15により固着されている。各ボンディングパッド12と外部導出用のリード端子17の先端部17aとはボンディングワイヤ16によりワイヤボンドされ、両者が電氣的に接続されている。

【0012】第1と第2の半導体チップ10、11、リード端子の先端部17a、およびボンディングワイヤ16を含む主要部は、周囲をエポキシ系の熱硬化樹脂18でモールドされ、パッケージ化される。リード端子17はパッケージ側壁の、樹脂18の厚みの約半分の位置から外部に導出される。そして、樹脂18の外部に導出されたリード端子17は一端下方に曲げられ、再度曲げられてZ字型にフォーミングされている。このフォーミング形状は、リード端子17の裏面側固着部分17bをプリント基板に形成した導電パターンに対向接着する、表面実装用途の為の形状である。

【0013】アイランド13、リード端子17等の各パーツは、板厚が150～200 $\mu$ の銅系または鉄系の板状素材をエッチング加工又はパンチング加工することにより形成したリードフレームの形態で提供され、モールド工程後に切断されるまでは各パーツはリードフレームの枠体に保持されている。保持された状態でリード端子の先端部17aと前記枠体とは高さが一致しており、アイランド13だけが段付け加工されて高さが異なる。その為完成後の装置ではアイランド13を保持するタイバー19は樹脂18内部で上方に折り曲げられ、リード14の高さと一致する位置で再びほぼ水平に延在し、そして樹脂18表面に切断面が露出して終端する。

【0014】各半導体チップ10、11は、組立工程直

前にバックグラインド工程により裏面を研磨して250～300 $\mu$ の厚みにしている。アイランド13とリード端子17の板厚(図2(A)の図示t3)は約130 $\mu$ であり、この値は各パーツの機械的強度を保つほぼ限界の値である。アイランド13は、第1の半導体チップ10よりは小さいサイズで形成されると共に、その高さを限界まで下げ、アイランド13の裏面13aを樹脂18の表面に露出させるようにモールドする。全体の厚みが1mm程度しかないパッケージでもアイランド13の位置を下げることで、アイランド13の板厚と、第1と第2の半導体チップ10、11の厚み、および接着剤14、15の厚み(各々30～40 $\mu$ は必要である)を差し引いて、なお第2の半導体チップ11の上方に240～300 $\mu$ の樹脂18の厚みを残すことが可能になった。

【0015】図1(A)を参照して、第1の半導体チップ10は、先ずアイランド13の表面に絶縁性あるいは導電性のペースト状の第1の接着剤14を適宜量供給し、続いて真空コレットに吸着された第1の半導体チップ10をアイランド13上に移動して位置決めをし、第1の接着剤14が均等に広がるように一定圧力で押圧せしめ、そして200度程度のベーキング熱処理により第1の接着剤14を硬化させることにより固定する。同様に第2の半導体チップ11は、先ず第1の半導体チップ10のパッシベーション皮膜上に、絶縁性のペースト状の第2の接着剤15を適宜量供給し、続いて真空コレットに吸着された第2の半導体チップ11を第1の半導体チップ10上に移動して位置決めをし、第2の接着剤15が均等に広がるように一定圧力で押圧せしめ、そして200度程度のベーキング熱処理により第2の接着剤15を硬化させることにより固定する。

【0016】第2の半導体チップ11を固定する際、第2の接着剤15に粒径が20～40 $\mu$ の球状のシリコン粒(フィラー)を混入しておく。フィラーとしては絶縁性の素材で且つ前記吸着コレットが押す圧力に耐え得る硬度を持つ物であればよく、他にはアルミナ粒、SiN粒等があげられる。かかる構成であれば、たとえばコレットに吸着された第2の半導体チップ11が斜めになっていたとしても、第2の接着剤15の膜圧はフィラーの粒径よりは小さくなることはない。よって第2の半導体チップ11の基板下部が第1の第1の半導体チップ10の表面に接触する事故を完全に防止することができる。

【0017】以下に本発明の第2の実施の形態を説明する。先ず、図4(A)(B)は本発明の半導体装置の第2の実施の形態を示す断面図、図5は本発明の半導体装置の第2の実施の形態を示す平面図である。尚、図4(A)は図5のAA線断面図、同じく図4(B)は図5のBB線断面図である。図中、先の実施の形態と同じ箇所には同じ符号を伏してある。

【0018】第1と第2の半導体チップ10、11のシ

リコン表面には、回路素子と外部接続用のボンディングパッド12が形成されている。半導体チップ10、11の表面にはシリコン窒化膜、シリコン酸化膜、ポリイミド系絶縁膜などのパッシベーション皮膜が形成され、ボンディングパッド12の上部を電気接続のために開口している。

【0019】アイランド13の第1主面21つまり裏面側には、第1の半導体チップ10がAgペーストなどのエポキシ系導電接着剤14によりダイボンドされ、アイランド13の第2主面22つまり表面側には、第2の半導体チップ10が絶縁性のエポキシ系接着剤15により固着されている。第1の半導体チップ10のボンディングパッド12と外部導出用のリード端子の先端部17aの裏面側とがボンディングワイヤ16によりワイヤボンドされ、同じく第2の半導体チップ11のボンディングパッド12とリード端子の先端部17aの表面側とがボンディングワイヤによりワイヤボンドされている。第1と第2の半導体チップ10、11、リード端子の先端部17a、およびボンディングワイヤ16を含む主要部は、周囲をエポキシ系の熱硬化樹脂18でモールドされ、パッケージ化される。リード端子17はパッケージ側壁の、樹脂18の厚みの約半分の位置から外部に導出され、表面実装用にリードフォーミングされている。アイランド13はリード端子の先端部17aに対して段付けがされておらず、両者は水平面を構成している。

【0020】図1(B)を参照して、第1の半導体チップ10としてN型の半導体基板を利用したチップが用いられ、基板電位としてVDD電位が印加されている。第2の半導体チップとしてはP型の半導体基板を利用したチップが用いられ、基板電位としてVSS電位が印加されている。第1の半導体チップ10は、先ずアイランド13の第1主面21の表面に絶縁性あるいは導電性のペースト状の第1の接着剤14を適宜量供給し、続いて真空コレットに吸着された第1の半導体チップ10をアイランド13上に移動して位置決めをし、第1の接着剤14が均等に広がるように一定圧力で押圧せしめ、そして200度程度のベーキング熱処理により第1の接着剤14を硬化させることにより固定する。同様に第2の半導体チップ11は、先ずアイランド13を反転して第2主面22を上に向け、その表面に絶縁性のペースト状の第2の接着剤15を適宜量供給し、続いて真空コレットに吸着された第2の半導体チップ11をアイランド13上に移動して位置決めをし、第2の接着剤15が均等に広がるように一定圧力で押圧せしめ、そして200度程度のベーキング熱処理により第2の接着剤15を硬化させることにより固定する。

【0021】第2の半導体チップ11を固定する際、第2の接着剤15に粒径が20~40 $\mu$ の球状のシリコン粒(フィラー)20を混入しておく。かかる構成であれば、たとえばコレットに吸着された第2の半導体チップ11が斜めになっていたとしても、第2の接着剤15の膜厚はフィラー20の粒径よりは小さくなることになり、よって第2の半導体チップ11の基板下部がアイランド13の表面に接触する事故を完全に防止できる。このことは、第2の半導体チップ11の基板電位とアイランド13の電位とを完全に分離できることを意味し、第1の半導体チップ10の基板電位とを同電位にするような構成であっても、基板電位VSSと基板電位VDDとの短絡事故を防止できるものである。尚、第1と第2の接着剤14、15のどちらか一方を絶縁性とするれば基板電位の相互分離が可能であり、絶縁性の接着剤側にフィラー20を混入すればよい。

#### 【0022】

【発明の効果】以上に説明した通り、本発明によれば、絶縁性の接着剤にフィラー20を混入することによって第1と第2の半導体チップ10、11の接触事故を防止できるので、1つのパッケージ内に複数の半導体チップ10、11を積層した半導体装置を歩留まり良く製造することができる利点を有する。

【0023】また、基板電位の異なるチップの組み合わせが可能となるので、製品展開が容易である利点を有する。さらに、フィラー20によって基板電位の短絡を意識せずに接着剤14、15の膜厚を限界まで薄くできるので、パッケージの薄型化に寄与できる利点をも有する。薄型化により樹脂18の外形寸法を従来のチップ1ヶを収納した製品群と同一寸法にすることができる。これにより、モールド金型や試験測定装置などの製造装置を共用化することができ、製品のコストダウンが可能である利点を有する。

#### 【図面の簡単な説明】

【図1】本発明を説明するための断面図である。

【図2】本発明の第1の実施の形態を説明するための断面図である。

【図3】本発明の第1の実施の形態を説明するための平面図である。

【図4】本発明の第2の実施の形態を説明するための断面図である。

【図5】本発明の第2の実施の形態を説明するための平面図である。

【図6】従来例を説明するための断面図である。

【図7】従来例を説明するための断面図である。

SEMICONDUCTOR DEVICES  
[Handotai Souchi]

Makoto Tsubonoya

Translated by: U.S.-Japan Translations

PUBLICATION COUNTRY	(10):	JA
DOCUMENT NUMBER	(11):	Hei 10-256470
DOCUMENT KIND	(12):	(A)
PUBLICATION DATE	(45):	September 25, 1998
APPLICATION NUMBER	(21):	Hei 9-55176
APPLICATION DATE	(22):	March 10, 1997
ADDITION TO	(61):	NA
INTERNATIONAL CLASSIFICATION	(51):	IPC: H 01 L      25/065 25/07 25/18
DOMESTIC CLASSIFICATION	(52):	NA
PRIORITY COUNTRY	(33):	NA
PRIORITY NUMBER	(31):	NA
PRIORITY DATE	(32):	NA
INVENTOR	(72):	Makoto Tsubonoya Sanyo Danki K.K. 2-5-5 Kyozaaka Hondori, Moriguchi-shi, Osaka, Japan
APPLICANT	(71):	Sanyo Denki K.K. 2-5-5 Kyozaaka Hondori, Moriguchi-shi, Osaka, Japan
TITLE	(54):	SEMICONDUCTOR DEVICES
FOREIGN TITLE	[54A]:	Handotai Souchi

/ (1) \*

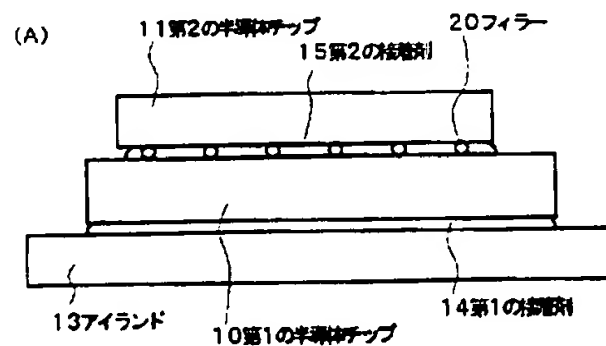
(54) [Title of the Invention] Semiconductor Devices

(57) [Abstract]

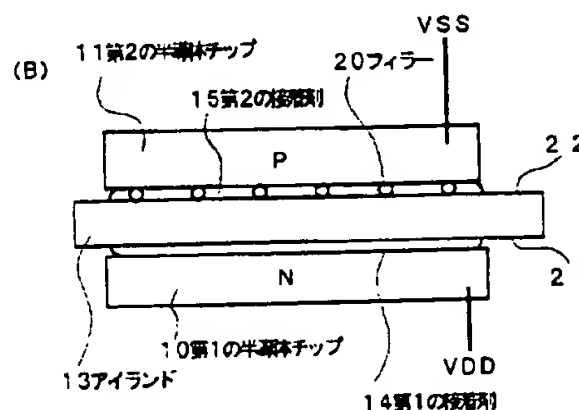
[Subject of Concern] To prevent accidental contact among chips by mixing a filler with a constant particle size into an insulating adhesive which bonds layers of plural semiconductor chips.

[Means to Solve] A first semiconductor chip 10 is fixed on an island 12 and a second semiconductor chip 11 is fixed on the first semiconductor chip. The bonding pad 12 for semiconductor chips 10 and 11 and a lead terminal 17 are bonded by wire bonding and the main unit containing these semiconductor chips 10 and 11 is molded using a resin 17. An insulating filler 20 with a particle size ranging from 20 to 40 $\mu$  is mixed with the second adhesive 15 used for fixing the second semiconductor chip 11.

11: Second semiconductor chip  
15: Second adhesive  
20: Filler  
13: Island  
10: First semiconductor chip  
14: First adhesive



11: Second semiconductor chip  
15: Second adhesive  
20: Filler  
13: Island  
10: First semiconductor chip  
14: First adhesive





[Claims]

[Claim 1] Semiconductor devices which are characterized by the fact that in a semiconductor device having a means to fix a first semiconductor chip on an island, to fix a second semiconductor chip on the aforementioned first semiconductor chip, and to connect the bonding pad for the aforementioned first and second semiconductor chips with an external connection lead, and a resin which seals the areas surrounding the first and the second semiconductor chips, an insulating filler with a uniform particle size is mixed with an adhesive used for fixing the aforementioned second semiconductor chip on the surface of the aforementioned first semiconductor chip.

[Claim 2] Semiconductor devices which are characterized by the fact that in a semiconductor device having an island with the first main surface and the second main surface, a first semiconductor chip fixed on the aforementioned first main surface, a second semiconductor chip fixed on the aforementioned second main surface, and a means to connect the bonding pad connection terminal for the aforementioned first and second semiconductor chips with an external connection lead, and a resin sealing the areas surrounding the aforementioned first and second semiconductor chips, an insulating filler with a uniform particle size is mixed with at least one of the adhesives fixing the aforementioned first semiconductor chip on the aforementioned first main surface and the adhesive fixing the aforementioned second semiconductor chip on the aforementioned second main surface.

[Claim 3] Semiconductor devices as described in Claim 2 in which the aforementioned first semiconductor chip has a P-type substrate, and the aforementioned second semiconductor chip has a N-type substrate.

[Claim 4] Semiconductor devices as described in Claim 3 in which respectively different substrate voltages are applied to the aforementioned P-type substrate and the aforementioned N-type substrate.

[Detailed Description of the Invention]

[0001]

[Technical Field That This Invention Belongs] This invention concerns semiconductor devices with improved mounted density by laminating several semiconductor chips.

[0002]

[Prior Art] The most popular sealing technology for semiconductor devices is a transfer molding technology for sealing the areas surrounding the semiconductor chips with a heat-setting epoxy resin. As a support material for semiconductor chips, a lead frame is used and a semiconductor chip is fixed on an island of the lead frame by die bonding. Subsequently, the bonding pad for semiconductor chips and a lead are bonded by wire bonding using a wire to set the lead frame in a metallic mold having a desirable external shape. An epoxy resin is injected into the metallic mold and then cured to produce a semiconductor device.

[0003] On the other hand, trends of manufacturing smaller-sized and lighter-weight electronic equipment are never ending and larger capacities, higher functions and higher integration are desired for semiconductor devices which are incorporated in these equipment. Although the concept has existed (e.g., Kokai Patent No. Sho 55-1111517), a technology of sealing several semiconductor chips in a single package is noted recently and an action to implement such technology is proposed. As shown in Figure 6 (A), a first semiconductor chip 1a is fixed on the island 3 and a second semiconductor ship 1b is fixed on the first semiconductor chip 1a, and the corresponding bonding pad and a lead 4 are connected using bonding wires 5a and 5b, and then sealed with a resin 2.

[0004] As shown in Figure 6 (B), another idea was also proposed. For example, a first semiconductor chip 1a is fixed on the front surface of the island 3, while a second semiconductor chip 1b is fixed on the back side of the island and then, the entire device is sealed.

[0005]

[That This Invention Intends to Solve] However, when laminating chips as shown in Figure 6 (A), the second semiconductor chip 1b may be inclined as shown in Figure 7 (A) due to failure in die bonding. When the chip inclines in this manner, the drawback is that an adhesive 6 disappears so that the lower part of the substrate in the second semiconductor chip 1b is in contact with the surface of the first semiconductor chip 1a at the point indicated by the symbol 7 in this figure and there is a danger of causing short circuits between the voltage applied to the substrate of the second semiconductor chip 1b and the circuit elements and electrode wiring formed on the surface of the first semiconductor chip 1a.

[0006] When bonding chips between the front and back surfaces as in Figure 6 (B) and the same types of chips are used as first and second semiconductor chips 1a and 1b (e.g., a combination of DRAM and DRAM), the substrate voltage becomes the same so that both substrates can be electrically short circuited via the island 3. On the other hand, when using different types of chips, for example, when combining a chip using a P-type substrate with a chip using a N-type substrate, the substrate voltages are different so that one of the chips must be fixed using an insulating adhesive 6. If the chip is inclined as shown in Figure 7 (B) due to failure in die bonding as mentioned above, there is a danger of causing short circuits between the substrate voltage of the semiconductor chip 1a and the voltage of the island 3 at the position indicated by the symbol 8. These short circuits quickly result in deterioration of assembly yield.

[0007]

[Means to Solve the Problems] This invention intended to solve the above-mentioned subject of concern. This invention is characterized by the fact that a first semiconductor chip and a second semiconductor chip are fixed using an insulating adhesive containing a filler with a particle size ranging from 10 to 50 $\mu$  so that the gap between the first semiconductor chip and the second semiconductor chip is not reduced to less than a certain thickness due to the presence of the aforementioned filler.

[0008] When fixing chips on both front and back surfaces, one of the semiconductor chips is fixed using an insulating adhesive containing a filler with a particle size ranging from 10 to 50 $\mu$  so that the gap with the island is not reduced to less than a certain thickness due to the presence of the aforementioned filler while maintaining electrical insulation.

[0009]

/ (3)

[Modes of Execution of the Invention] The modes of an example of this invention will be explained in detail below by referring to the attached figures. Figures 2 (A) and (B) are cross-sectional views showing the mode of the first example of this invention's semiconductor devices. Figure 3 is a plane view showing the mode of the first example of this invention's semiconductor devices. In this case, Figure 2 (A) is a cross-sectional view along the line A-A in Figure 3 and Figure 2 (B) is a cross-sectional view along the line B-B in Figure 3.

[0010] In these figures, 10 and 11 represent first and second semiconductor chips, respectively. On the silicon surface of the first and second semiconductor chips 10 and 11, a variety of kinds of active and passive circuit elements are formed in the previous processes. Bonding pads 12 are formed for respective external connections in the peripheral areas of the first and second semiconductor chips 10 and 11. On the surface of the semiconductor chips 10 and 11, passivation films such as silicon nitride films, silicon oxide film and polyimide insulating films are formed to open the upper part of the bonding pads 12 for electrical connections.

[0011] The first semiconductor chip 10 is die bonded on the island 13 of the lead frame using an epoxy conductive adhesive 14 such as Ag paste, and the second semiconductor chip 11 is fixed on the aforementioned passivation film of the first semiconductor chip 10 using an insulating epoxy adhesive 15. Each bonding pad 12 and a tip portion 17a of the lead terminal 17 for external outlets are wire bonded using a bonding wire 16 so that they are electrically connected.

[0012] The surrounding area of the main unit containing first and second semiconductor chips 10 and 11, a lead terminal tip 17a and bonding wire 16 is molded for packaging using an epoxy thermosetting resin 18. The lead terminal 17 is led out at the position which is approximately one half of the thickness of the resin 18 as the package wall. The lead terminal 17 led out of the resin 18 is bent down at one end and bent again to form a Z-letter shape. This forming shape is made for surface mounting application when bonding the back side fixing portion 17b of the lead terminal 17 in the facing conductive pattern formed on the printed circuit board.

[0013] Various parts including island 13 and lead terminal 17 are provided in the form of a lead frame which is formed by etching processing or punching processing with a copper or iron plate material with a plate thickness ranging from 150 to 200 $\mu$ . These parts are held within the frame of the lead frame until being cut after the molding process. The height of the tip 17a of the lead terminal agrees with the height of the aforementioned frame if they are still held in the frame, but only the island 13 has a different height due to a joggling process. For this reason, in a completed device, a tie bar 19 holding the island 13 is bent upwards in the resin 18 and extended almost horizontally at the same position as the height of the lead 14, and the cut surface is exposed on the surface of the resin 18 to be a final end.

[0014] Respective semiconductor chips 10 and 11 are polished to have a thickness of 250 to 300 $\mu$  by polishing the back surface in the back grinding process immediately before the assembly process. A plate thickness of the island 13 and the lead terminal 17 (t3 shown in Figure 2 (A)) is approximately 130 $\mu$  and this value is almost a critical value to maintain mechanical strength of each part. The island 13 is formed in a size which is smaller than the first semiconductor chip 10 and its height is lowered to a critical level so that it is molded so that the back side 13a of the island 13 is exposed to the surface of the resin 18. In the case of a package having an entire thickness of only 1mm, if the

position of the island 13 is lowered, it is possible to leave a thickness of 240 to 300 $\mu$  for resin 18 above the second semiconductor chip 11 after subtracting the plate thickness of island 13, thickness of the first and second semiconductor chips 10 and 11, and thickness of adhesives 14 and 15 (30 to 40 $\mu$  for each adhesive is necessary).

[0015] The first semiconductor chip 10 is fixed as shown in Figure 1 (A). An appropriate amount of insulating or conductive paste-form first adhesive 14 is supplied on the surface of the island 13. Subsequently, the first semiconductor chip 10 adsorbed by a vacuum collet is moved on the island 13 for positioning and pressed under a constant pressure to spread the first adhesive 14 uniformly. Finally, the first adhesive 14 is cured by applying a baking heat treatment at about 200 degrees to fix the first semiconductor chip 10 on the island 13. Similarly, the second semiconductor chip 11 is fixed as follows. An insulating paste-form second adhesive 15 is supplied in an appropriate amount onto a passivation film of the first semiconductor chip 10. Subsequently, a second semiconductor chip 11 adsorbed by a vacuum collet is moved on the first semiconductor chip 10 for positioning and pressed under a constant pressure so that the second adhesive 15 is spread uniformly. Finally, the second adhesive 15 is cured by applying a baking heat treatment at about 200 degrees to fix the second semiconductor chip 11.

[0016] When fixing the second semiconductor chip 11, spherical silicon grains (filler) with a particle size ranging from 20 to 40 $\mu$  are mixed with the second adhesive 15. As a filler, insulating materials which have hardness to be resistant to the pressure from the aforementioned adsorption collet are available, but other materials such as alumina grains and SiN grains are also available. Although the second semiconductor chip 11 adsorbed by the collet is inclined, the film thickness of the second adhesive 15 can never be less than the particle size of the filler. As a result, an accident in which the lower portion of the substrate of the second semiconductor chip 11 is in contact with the surface of the first semiconductor chip 10 can be prevented.

[0017] A mode of this invention's second example will be explained below. Figures 4 (A) and (B) are cross-sectional views showing the modes of the second example of this invention's semiconductor devices. Figure 5 is a plane view showing the mode of the second example of this invention's semiconductor devices. Figure 4 (A) is a cross-sectional view along the line A-A in Figure 5 and Figure 4 (B) is a cross-sectional view along the line B-B in Figure 5. In these figures, the same symbols were used for the same positions as in the modes of the previous examples.

[0018] On the silicon surface of the first and second / (4) semiconductor chips 10 and 11, circuit elements and bonding pads for external connection 12 are formed. Passivation films such as silicon nitride films, silicon oxide films and polyimide insulating films are formed on the surface of the semiconductor chips 10 and 11 so that the upper portion of the bonding pads 12 is opened for electrical connection.

[0019] The first semiconductor chip 10 is die bonded using an epoxy conductive adhesive 14 such as Ag paste on the first main surface 21, which is the back side of the island 13, and the second semiconductor chip 11 is fixed using an insulating epoxy adhesive 15 at the surface side, which is the second main surface 22 of the island 13. Bonding pads 12 of the first semiconductor chip 10 and the back side of the tips 17a of the lead terminals for external outlets are wire bonded using a bonding wire 16 and bonding pads 12 of the second semiconductor chip 11 and the front side of the tips 17a of the lead terminals are wire bonded using a bonding wire. The areas around the major unit including the first and second semiconductor chips 10 and 11, lead terminal tips 17a and bonding wire 16 are molded using an epoxy thermosetting resin 18 for packaging. The lead terminal 17 is led out of the position which is approximately one half of the thickness of the resin 18 and formed for surface mounting. The island 13 is not jogged against the tips 17a of the lead terminal so that both are located on the horizontal surface.

[0020] As shown in Figure 1 (B), a chip using a N-type semiconductor substrate is used as the first semiconductor chip 10

and a VDD voltage is applied as a substrate voltage. A chip using a P-type semiconductor substrate is used as the second semiconductor chip 11 and a VSS voltage is applied as a substrate voltage. The first semiconductor chip 10 supplies an appropriate amount of an insulating or conductive paste-form first adhesive 14 to the surface of the first main surface 21 of the island 13. Subsequently, the first semiconductor chip 10 adsorbed by the vacuum collet is moved on the island 13 for positioning and pressed under a constant pressure to spread the first adhesive 14 uniformly. Finally, the first semiconductor chip is fixed by curing the first adhesive 14 by applying a baking heat treatment at about 200 degrees. Similarly the second semiconductor chip is fixed as follows. Initially the island 13 is turned around to put the second main surface 22 up and an appropriate amount of insulating paste-form second adhesive 15 is supplied to the surface. Subsequently, the second semiconductor chip 11 adsorbed by the vacuum collet is moved on the island 13 for positioning and pressed under a constant pressure to spread the second adhesive 15 uniformly. Finally, the second semiconductor chip 11 is fixed by curing the second adhesive 15 by applying a baking heat treatment at about 200 degrees.

[0021] When fixing the second semiconductor chip 11, spherical silicon grains (filler) 20 with a particle size ranging from 20 to 40 $\mu$  were mixed with the second adhesive 15. With this constitution, the film thickness of the second adhesive 15 is not smaller than the particle size of the filler 20 in spite of the fact that the second semiconductor chip 11 adsorbed by the collet is inclined. For this reason, an accident in which the lower portion of the substrate in the second semiconductor chip 11 is in contact with the surface of the island 13 can be prevented. This implies that the substrate voltage of the second semiconductor chip 11 and the voltage of the island 13 can be separated completely. Even in the configuration to have the same voltage as the substrate voltage of the first semiconductor chip 10, an accident of a short circuit between the substrate voltage VSS and the substrate voltage VDD can be prevented. If one of the first



and second adhesives 14 and 15 is selected to be an insulating one, the substrate voltages can be separated from each other and in this case, a filler 20 is added to the side of an insulating adhesive.

[0022]

[Effects of the Invention] As explained above, if a filler 20 is added to the insulating adhesive in this invention, an accidental contact between the first and second semiconductor chips 10 and 11 can be prevented. The advantage is that semiconductor devices in which several semiconductor chips 10 and 11 are laminated in a single package can be manufactured at a high product yield.

[0023] In addition, the advantage is that it is possible to combine chips having different substrate voltages so that the development of the products is easy. The film thickness of the adhesives 14 and 15 can be thinned to a critical level without considering short circuits between the substrate voltages when using a filler 20 so that is an advantage of being able to contribute to thinning in packaging. Due to such thinning, the external dimensions can be set to the same as those of the group of products containing one conventional chip. As a result, the advantage is that manufacturing equipment such as molding dies and testing equipment can be shared so that product costs can be reduced.

[Brief Explanation of the Figures]

[Figure 1] A cross-sectional view to explain this invention.

[Figure 2] A cross-sectional view to explain a mode of this invention's first example.

[Figure 3] A plane view to explain a mode of this invention's first example.

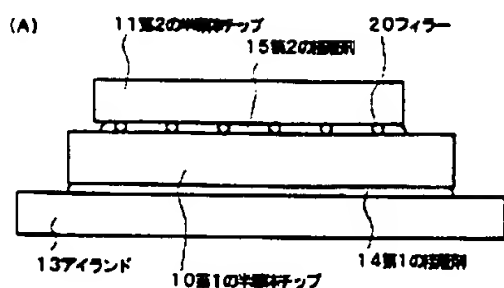
[Figure 4] A cross-sectional view to explain a mode of this invention's second example.

[Figure 5] A plane view to explain a mode of this invention's second example.

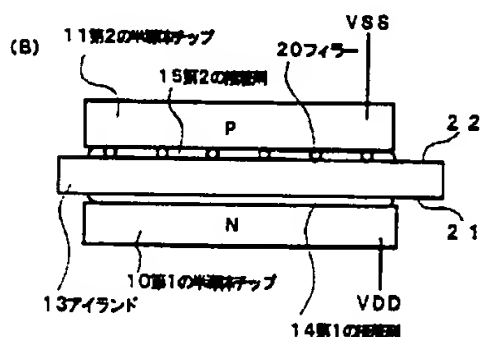
[Figure 6] A cross-sectional view to explain a conventional example.

[Figure 7] A cross sectional view to explain another conventional example.

[Figure 1]

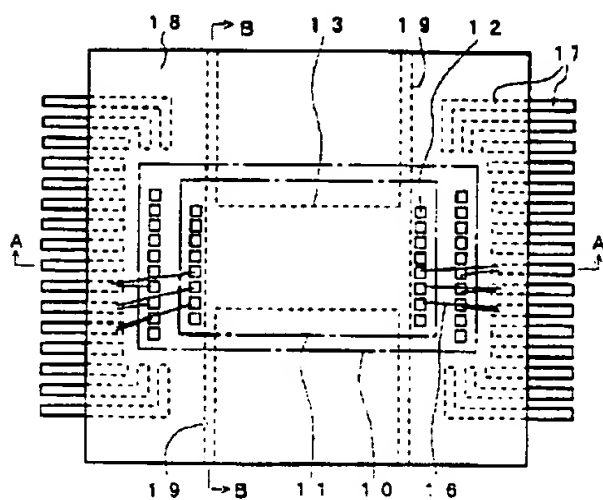


11: Second semiconductor chip  
15: Second adhesive  
20: Filler  
13: Island  
10: First semiconductor chip  
14: First adhesive

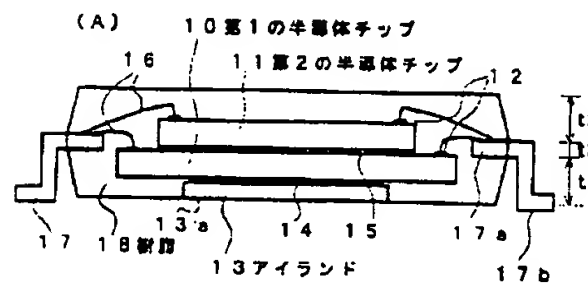


11: Second semiconductor chip  
15: Second adhesive  
20: Filler  
13: Island  
10: First semiconductor chip  
14: First adhesive

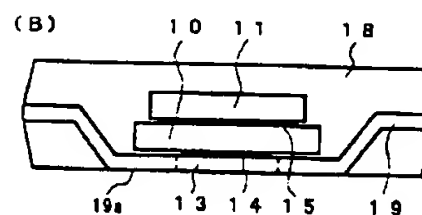
[Figure 3]



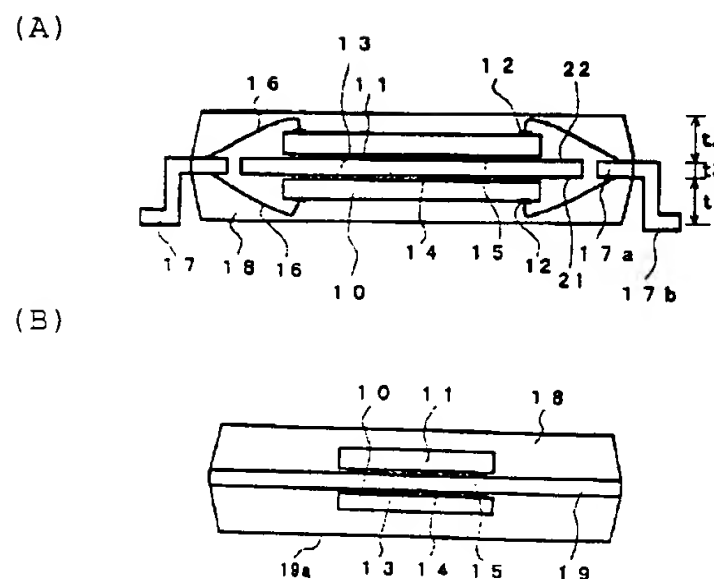
[Figure 2]



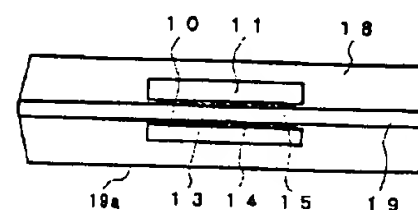
10: First semiconductor chip  
11: Second semiconductor chip  
18: Resin  
13: Island



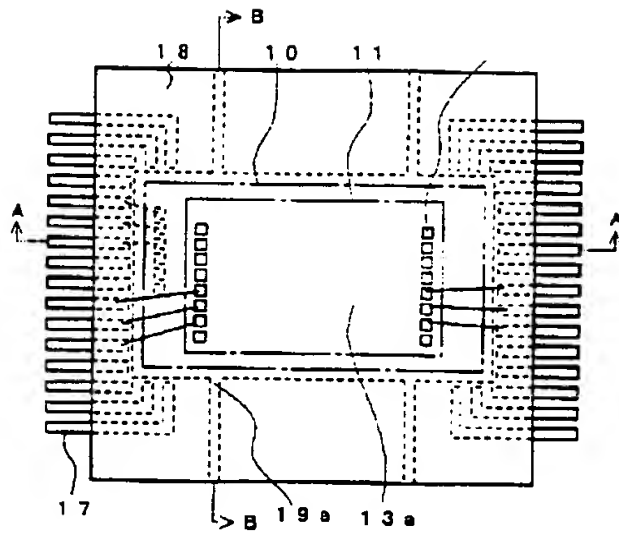
[Figure 4]



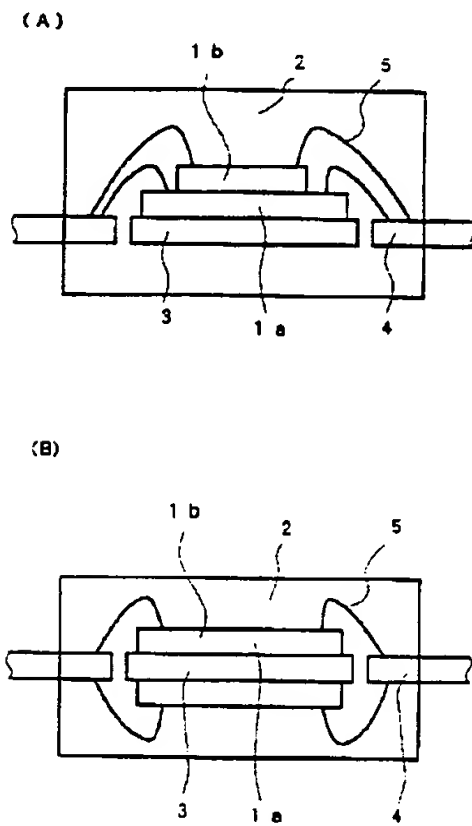
(B)



[Figure 5]



[Figure 6]



[Figure 7]

/ (6)

